



Arquitectura de Computadores (Grado II)

Sistema de Memoria
Enunciados de problemas

Marzo 2025

1 Considere un computador cuyo sistema de memoria tiene las siguientes características:

- Memoria virtual con dos niveles de tablas de páginas, páginas de 16 KB y TLB con $t_{acceso} = 1 \text{ ns}$.
- Memoria principal con $t_{acceso} = 40 \text{ ns}$ para datos individuales y $t_{ocupacion} = 100 \text{ ns}$ para transferir bloques completos.
- Un único nivel de memoria caché formado por una caché de instrucciones (McaI) y una de datos (McaD) con las siguientes características: $t_{acceso} = 5 \text{ ns}$, 256 KB cada una, lectura *out of order fetch*, escritura inmediata (WTWNA) en el caso de la McaD.

a) Calcule el tiempo mínimo y máximo de acceso en lectura de datos en el computador descrito.

b) Calcule el tiempo medio de acceso a datos en el computador descrito si supone que la tasa de aciertos de la TLB es del 95 %, la de McaD del 90 % y, además, un 80 % de los accesos a esta memoria caché corresponden a lecturas y un 20 % a escrituras de datos.

2 Sea un computador con memoria virtual y con datos y direcciones físicas de 32 bits, que tiene las siguientes características:

- Direcciones virtuales de 44 bits, con dos niveles de tablas de páginas, 2^{14} entradas en el primer nivel de tablas, y páginas de 64KB. Además dispone de dos TLB asociativas, una para instrucciones (TLBi) y otra para datos (TLBd), ambas con 4 entradas.
- Memoria caché de instrucciones (McaI): 128 KB, directa, con bloques de 32 bytes. Política de lectura *out of order fetch*.
- Memoria caché de datos (McaD): 256 KB, asociativa por conjuntos, conjuntos de 8 bloques, cada bloque de 32 bytes, con política de escritura inmediata sin actualización (WTWNA). Política de lectura *out of order fetch*.

En este computador, con las memorias caché y las TLBs inicialmente vacías, se ejecuta el siguiente fragmento de código, situado en la dirección 0:

```

(1)      add r10, r0, 64      ; fin      fin = 64;
(2)      add r11, r0, 0x10000 ; a[]      i = 0;
(3)      add r12, r0, 0x14000 ; b[]      while (i < fin) {
(4)      add r13, r0, 0x20000 ; sum[]      sum[i] = a[i] + b[i];
(5)      add r14, r0, 0x24000 ; dif[]      dif[i] = a[i] - b[i];
(6)      add r20, r0, r0      ; i        i++;
(7)loop: ld  r1, r11, r20      ;          }
(8)      ld  r2, r12, r20
(9)      add r3, r1, r2
(10)     st  r3, r13, r20
(11)     sub r4, r1, r2
(12)     st  r4, r14, r20
(13)     add r20, r20, 4
(14)     sub r10, r10, 1
(15)     bnz r10, $loop

```

Sabiendo que cada instrucción y cada dato ocupan una palabra determine:

a) El formato de las direcciones virtuales.

b) El formato de las direcciones físicas tal como se interpreta por el controlador de cada una de las memorias caché.

c) Justifique si es posible solapar la traducción de direcciones con el acceso a las correspondientes memorias caché. En caso negativo, razone cuál será el tamaño de página necesario para poder solapar el acceso a las TLB's con el de las memorias caché.

d) La tasa de aciertos de cada TLB.

e) La tasa de aciertos de cada memoria caché.

f) Suponiendo que las TLBs y las memorias caché están inicialmente vacías y sabiendo que el tiempo de acceso de las TLB es de 2 ns, el de las memorias caché de 3 ns y el de la memoria principal 60 ns, calcule el tiempo invertido en los accesos a datos realizados por el fragmento de código anterior. Calcule asimismo el tiempo medio invertido en los accesos a datos.

3 Responda razonadamente si son ciertas o no las siguientes afirmaciones sobre el sistema de memoria:

- a) Uno de los componentes de la jerarquía de memoria de un computador es el disco duro, ya que es donde se almacenan los programas y datos de los usuarios.
- b) La tasa de acierto del primer nivel de memoria caché de datos en un procesador moderno es superior al 90 %.
- c) Los componentes principales de la jerarquía de memoria de un computador son los siguientes: Registros, Buses, Memoria caché, Memoria principal, Dispositivo de almacenamiento, Dispositivo de Backup.
- d) La memoria caché tiene la misión de acelerar los accesos del procesador en el caso de las lecturas y, dependiendo de la política de escritura, también en el caso de las escrituras.
- e) La función (única) de la memoria virtual es permitir la ejecución de programas de mayor tamaño que el correspondiente a la memoria física disponible y se basa en el uso de un hardware especial.
- f) La memoria entrelazada es una técnica software para reducir la tasa de fallos de una memoria caché.
- g) En un sistema de memoria que incluye memoria caché, el tiempo invertido en un acceso de lectura es independiente de la política de escritura de la memoria caché.
- h) El sistema de memoria virtual permite proteger información privada de procesos y, a la vez, facilitar la compartición de información entre esos mismos u otros procesos.

4 Sea un computador con memoria virtual paginada que utiliza dos niveles de tablas de páginas, direcciones virtuales de 36 bits y direcciones físicas de 32 bits. Para realizar la traducción utiliza también dos TLBs, una para instrucciones y otra para datos, ambas con tiempo de acceso de 2 ns, 6 entradas, totalmente asociativas y con política de reemplazo LRU. Las páginas son de 4 KB, y todas las tablas necesarias para la traducción tienen 2^{12} entradas. En este computador se está ejecutando un programa de cuyo código se ha extraído, para ser analizado, el siguiente fragmento:

```
/* Fragmento de código para analizar: */
max = 128 * 128;      /* = 16384 */
for (j=0; j<max; j++)
    y[j] = 2 * x[j];
verif(y);
for (j=0; j<max; j++)
    x[j] = y[j] / 3;
```

Los vectores x e y , cuyos elementos ocupan un byte, comienzan a partir de las siguientes direcciones virtuales:

$$Dv(x) = 002003000H, Dv(y) = 003001000H$$

- a) Indique el formato de las direcciones virtuales y describa cómo se han de interpretar las direcciones asociadas a los vectores x e y .
- b) Suponga, además, que en un momento dado de la ejecución del código proporcionado, toda la información correspondiente a los vectores x e y se encuentra en direcciones contiguas de memoria física que comienzan en las direcciones siguientes:

$$Df(x) = 00020000H, Df(y) = 00038000H$$

Suponiendo que todas las tablas de traducción se encuentran en memoria principal y que la TLB de datos no contiene información relativa a los datos de dicho fragmento de código, indique y justifique el contenido de las entradas de las distintas tablas de traducción que se utilizan para encontrar la dirección física de x e y . Para ello:

- Tenga en cuenta que el tamaño de los vectores es el determinado por la constante `max` del código anterior.
 - Asigne las direcciones arbitrarias que considere oportuno a las tablas de segundo nivel necesarias para realizar esta traducción, indicando claramente cuál es esta asignación.
- c) Suponiendo que las variables `i`, `j` y `max` están asignadas a registros, y que la función `verif` no realiza accesos a memoria para leer o escribir datos, calcule el número de fallos que se producen en la TLB de datos al ejecutar este fragmento de código. Especifique en qué parte(s) del código se producen estos fallos. Justifique si otra política de reemplazo diferente de LRU podría mejorar los resultados en cuanto a la tasa de aciertos de esta TLB.

- d) De todas las entradas de la TLB de datos, indique cuántas se utilizan y cuál será el contenido (etiquetas e información de traducción) de las entradas correspondientes a la primera página de x y a la última de y .
- e) Calcule el tiempo total empleado en el acceso a los datos. Para ello suponga que los vectores x e y no pasan por la memoria caché, y que el tiempo de acceso de la memoria principal es de 40 ns. Calcule qué porcentaje de este tiempo corresponde a la traducción y cuál al acceso a los datos.
- f) Suponga que durante la ejecución del fragmento de código a analizar se produce un cambio de contexto y se pasa a ejecutar otro programa que ejecuta un fragmento de código exactamente igual, y en el que x e y tienen asignadas además las mismas direcciones virtuales. Identifique cuántos fallos se producirán en la TLB de datos en este caso. Justifique si las direcciones físicas asignadas a x e y serán también coincidentes para los dos procesos.

5 Indique y justifique cuántos accesos de cada tipo (lectura o escritura) llegan a la *memoria principal* cada vez que el procesador lanza un acceso al siguiente sistema y en las condiciones indicadas (1 a 6):

- Sistema formado por CPU, un nivel de M. caché unificada, M. principal
 - M. caché directa, con escritura aplazada (CBWA) y extracción bajo demanda
1. Acceso de lectura con acierto
 2. Acceso de escritura con acierto
 3. Acceso de lectura con fallo, bloque a reemplazar no modificado
 4. Acceso de lectura con fallo, bloque a reemplazar modificado
 5. Acceso de escritura con fallo, bloque a reemplazar no modificado
 6. Acceso de escritura con fallo, bloque a reemplazar modificado

6 Considere un computador de 32 bits con memoria virtual paginada, direcciones virtuales de 36 bits y direcciones físicas de 32 bits. Para realizar la traducción se utilizan 2 niveles de tablas de páginas y TLBs asociativas de 24 entradas, con tiempo de acceso de 4 ns, separadas para instrucciones y datos. Las páginas son de 32 KB, cada entrada de cualquier tabla de páginas ocupa 8 bytes (2 palabras) y cada tabla de traducción de segundo nivel ocupa exactamente una página. El tiempo de acceso a memoria principal es de 50 ns. Indique y justifique el formato de las direcciones virtuales.

a) En el computador del apartado anterior se está ejecutando un programa de cuyo código se ha extraído para su análisis el siguiente fragmento:

```

tam = 4 * 1024 * 1024;      /* 4 MB */
for (i=0; i<2; i++)        /* 2 iteraciones */
{
    for (j=0; j<tam; j++)    /* 'tam' iteraciones */
    {
        v[tam-j-1] = u[j];
        w[j] = u[j];
    }
    for (j=0; j<tam; j++)    /* 'tam' iteraciones */
        u[j] = v[j]+w[j];
}

```

Cada elemento de los vectores u , v y w ocupa un byte y las direcciones virtuales que tienen asignadas son las siguientes:

$$D_v(u) = 000010000H, D_v(v) = 000410000H, D_v(w) = 0000810000H$$

Suponiendo que se parte de la situación en que las TLBs están vacías y que las variables i , j y max están asignadas a registros, calcule el número de fallos de TLB de datos que se produce durante la ejecución del código indicado, especificando cuántos se producen en cada uno de los bucles.

- b) Calcule el tiempo total y el tiempo medio invertido en los accesos a datos del fragmento de código anterior. Distinga en cada caso entre el tiempo empleado para hacer la traducción y el tiempo requerido para acceder a la información.
- c) Calcule los mismos tiempos solicitados en la cuestión anterior, pero suponiendo ahora que el sistema de memoria no dispone de TLBs, por lo que la traducción se realiza sin este dispositivo.

d) Considere ahora que el computador de los apartados anteriores dispone de memorias caché separadas para instrucciones y datos, con tiempo de acceso de 6 ns. Si la caché de datos es de 128 KB, asociativa por conjuntos de dos bloques de 64 bytes (cada uno) y utiliza escritura aplazada (CBWA), determine el formato de las direcciones físicas tal como se interpretan por esta caché y realice una estimación de la capacidad de almacenamiento que se requerirá en el *directorio* de esta memoria caché.

e) Justifique si en el sistema descrito en los ejercicios anteriores es posible solapar la traducción en TLB con el acceso a la memoria caché de datos.

7 Describa en qué consiste la jerarquía de memoria, cuáles son sus componentes principales, en qué principios basa su funcionamiento y describa brevemente el objetivo y características de las políticas de ubicación y reemplazo.

8 Considere un computador dotado de memoria virtual paginada y un único nivel de memoria caché que presenta las siguientes características:

- Palabras de 32 bits, con buses de direcciones y datos de 32 bits.
- Direcciones virtuales de 46 bits con 3 niveles de tablas de páginas y TLB.
- Páginas de 8 KBytes. Cada entrada de cualquiera de las tablas de páginas ocupa una palabra.
- Cada una de las tablas de páginas de cualquier nivel ocupa 1 página.
- Memoria caché de 1MB asociativa por conjuntos de 8 bloques con:
 - Bloques de 64 Bytes
 - Escritura aplazada (*copy back with allocation*, CBWA) y lectura “out of order fetch” (OOF).

a) Describa los campos en que se descompone una dirección según es interpretada por el sistema de memoria virtual y por la memoria caché, especificando en ambos casos el tamaño en bits de cada campo. Justifique si es posible realizar simultáneamente el acceso a la memoria caché y a la TLB.

Considere además, para el resto del problema, los siguientes datos y estimaciones:

- No se producen fallos de página.
- El 20 % de los accesos a memoria son de escritura.
- Tiempos de acceso. TLB: 5 ns. Memoria caché: 5 ns.
- Tiempo de acceso de la memoria principal:
 - Lectura/escritura de una palabra: 50 ns.
 - Lectura/escritura de un bloque de 16 palabras: 200 ns.
- Tasas de acierto estimadas. TLB: 96 %. Memoria caché: 90 %.
- La probabilidad de que el bloque de caché a reemplazar esté modificado es del 10 %.

b) Calcule el tiempo medio de traducción invertido en cada acceso a memoria.

c) Calcule el tiempo medio de acceso, distinguiendo entre lecturas y escrituras.

d) Calcule el tiempo medio de ocupación en el sistema y las condiciones indicados.

e) Justifique por qué los computadores reales tienen desdoblada la memoria caché en una específica para instrucciones y otra para datos.

9 Describa en qué consiste el fenómeno de proximidad de referencias (*locality*). Refiera qué es la proximidad espacial y temporal, e indique, razonadamente, por qué tienden a darse tanto para las direcciones de código como para las de datos. ¿En qué medida cree que este fenómeno es necesario para el adecuado funcionamiento de la jerarquía de memoria?

10 Responda razonadamente si son ciertas las siguientes afirmaciones sobre la memoria caché:

- a) La memoria caché de nivel 1 (L1) suele tener un tamaño pequeño y poca asociatividad para tener un tiempo de acceso lo más cercano posible a ciclo del procesador.
- b) El tamaño de los bloques de caché suele ser del orden de unos cuantos KB para aprovechar el fenómeno de proximidad espacial.
- c) Los fallos en la caché de nivel 2 (L2) deben de tratarse por software del Sistema Operativo, por lo que las arquitecturas suelen suministrar una excepción o *trap* de fallo de caché.

11 Sea un procesador con un tamaño de palabra de 32 bits y cuyo sistema de memoria tiene las siguientes características:

- Memoria virtual
 - Espacio virtual direccionable: 128 TB.
 - Tamaño de las páginas: 16 KB.
 - Niveles de tablas de páginas: 3.
 - Tamaño de las entradas de las tablas de páginas (PTEs): 8 bytes (2 palabras).
- Memoria caché
 - Número de niveles: único, L1.
 - Cachés separadas para instrucciones y datos.
 - Capacidad de cada una de las cachés: 32 KB.
 - Tamaño de los bloques: 32 bytes
 - Tiempo de acceso: 1 ns.
 - Política de ubicación: directa.
 - Política de lectura: fuera de orden (OOF, *out of order fetch*)
 - Política de escritura (caché de datos): inmediata (WTWNA, *write through with no allocation*) sin *buffer* de escritura.
- Memoria principal
 - Tiempo de acceso: 60 ns.
 - Organización: sin entrelazado.

a) Indique los campos en que se descomponen las direcciones virtuales y sus longitudes respectivas. Describa asimismo los campos en que se dividen las direcciones físicas tal y como son interpretados por las cachés.

b) Calcule los tiempos mínimo y máximo de acceso al sistema de memoria, tanto en lecturas como en escrituras, suponiendo que no se produce ningún fallo de página.

c) Calcule el tiempo medio de acceso al sistema de memoria suponiendo los siguientes valores estadísticos relativos a la ejecución de un programa:

- Tasa de aciertos de la memoria caché de instrucciones: 94 %.
- Tasa de aciertos de la memoria caché de datos: 91 %.
- Todas las páginas referenciadas están residentes en memoria.
- El 30 % de los accesos es a datos y el 25 % de éstos corresponde a escrituras.

d) Suponga ahora que se añaden TLBs para datos e instrucciones con un tiempo de acceso de 1 ns. Indique si puede realizarse simultáneamente la consulta de la TLB con el acceso a la caché y calcule los tiempos del apartado b) si la tasa de aciertos de las TLBs es de un 98 %.

e) Por último, se añade a la configuración del apartado d) una caché de segundo nivel, L2, con una tasa media de aciertos local de un 38 %, tiempo de acceso de 8 ns y política de escritura aplazada (*CBWA*).

- e.1) Calcule la tasa de aciertos global de la memoria caché. Razone en qué medida parece justificado el uso de la caché L2 de acuerdo con el resultado obtenido.
- e.2) Calcule de nuevo los tiempos del apartado b).

12 Responda razonadamente si son ciertas o no las siguientes afirmaciones sobre el sistema de memoria

- a) La lectura fuera de orden (*out of order fetch*) es una técnica para reducir el tiempo de penalización en el acceso a la memoria caché.
- b) El tamaño de los bloques de la memoria caché influye en la tasa de aciertos y en el tiempo de penalización.
- c) La utilización de tablas de página multinivel tiene como objetivo reducir la tasa de fallos en memoria principal.

13 Sea un computador con palabra de 32 bits y 4 GB de memoria principal. Este computador dispone de una memoria caché unificada de 64 KB, asociativa por conjuntos de 4 bloques y el tamaño de cada bloque es de 32 bytes.

- a) Indique en qué campos se divide la dirección con la que se accede a la memoria caché y cuál es el tamaño de cada uno de ellos.
- b) Detalle el procedimiento para localizar una palabra en esta memoria caché indicando para qué se usa cada uno de los campos de la dirección.
- c) Este computador dispone de una memoria principal con entrelazado simple de 8 módulos con tiempo de acceso de 50 ns. Sabiendo que el bus que conecta la memoria caché con la principal tiene un reloj de 500 MHz, calcule el tiempo que se consume para: leer una palabra de Mp a Mca; leer un bloque de Mp a Mca; escribir un bloque de Mca a Mp.
- d) Calcule el tiempo medio de acceso a este sistema de memoria teniendo en cuenta las siguientes características y estimaciones de la memoria caché unificada:
 - tiempo de acceso: 2 ns.
 - política de lectura: *Out of Order Fetch*.
 - política de escritura: aplazada (CBWA).
 - *Hit ratio*: 90 %
 - al reemplazar un bloque, el 25 % de las veces dicho bloque se encuentra modificado.
- e) A este computador se le dota de memoria virtual paginada, con direcciones virtuales de 32 bits. Para realizar la traducción se utilizan 2 niveles de tablas de páginas. Las páginas son de 4 KB, cada entrada de cualquier tabla de páginas ocupa una palabra y cada tabla de traducción ocupa una página. Indique y justifique el formato de las direcciones virtuales.
- f) Para agilizar los accesos se dota al computador de cachés separadas (instrucciones y datos) con las mismas características de la unificada y de sendas TLBs con tiempo de acceso de 2 ns. Justifique si es posible solapar la traducción en TLB con el acceso a la memoria caché.
- g) Calcule el tiempo medio de acceso a este sistema de memoria teniendo en cuenta las siguientes características y estimaciones:
 - Memoria caché
 - tiempo de acceso: 2 ns.
 - política de lectura: *Out of Order Fetch*.
 - *Hit ratio*: 90 %
 - Memoria caché de datos: política de escritura aplazada (CBWA).
 - Memoria caché de datos: al reemplazar un bloque, el 25 % de las veces dicho bloque se encuentra modificado.
 - Memoria virtual
 - tiempo de acceso a las TLBs: 2ns.
 - *Hit ratio*: 95 %
 - no hay fallos de páginas

14 Describa la función de la política de ubicación en la jerarquía de memoria. Indique los tipos que se utilizan en memoria caché y sus posibles ventajas e inconvenientes desde el punto de vista del rendimiento.

15 Responda razonadamente si son ciertas las siguientes afirmaciones sobre la memoria virtual:

- a) La memoria virtual consigue que reduzca el tiempo medio de acceso o tiempo efectivo.
- b) El tamaño de las páginas (y de los marcos de página) suele ser del orden de unos cuantos KB porque el trasiego de éstas con la memoria secundaria implica una operación de Entrada/Salida.
- c) Los fallos de página deben de tratarse por software del Sistema Operativo, por lo que las arquitecturas suelen suministrar una excepción o *trap* de fallo de página.
- d) La TLB reduce el tiempo mínimo de traducción a un valor igual al número de niveles de tabla de página (n) multiplicado por el tiempo de TLB (t_{TLB}), i.e., $n \times t_{TLB}$

16 Describa razonadamente cómo influye el grado de asociatividad de la memoria caché en: 1) su tasa de aciertos; y 2) su tiempo de acceso.

17 Indique por qué el tamaño de los bloques de caché es del orden de unos cuantos bytes (habitualmente, 32 ó 64 bytes) mientras que el de las páginas es al menos del orden de KB (kilobytes).

18 Indique las posibles ventajas e inconvenientes de tratar por hardware o por software los fallos en la TLB.

19 Describa el funcionamiento de las tablas de página multinivel. Indique sus ventajas e inconvenientes frente al uso de un único nivel. Razone por qué se suele elegir un tamaño de tabla de páginas tal que cada una de las tablas de cada nivel ocupe una única página.

20 Sea un procesador con un tamaño de palabra de 32 bits y cuyo sistema de memoria tiene las siguientes características:

- Memoria virtual
 - Espacio virtual direccionable: 4 TB.
 - Tamaño de las páginas: 4 KB.
 - Niveles de tablas de páginas: 3.
 - Tamaño de las entradas de las tablas de páginas: 4 bytes (1 palabra).
 - Una TLB para datos y otra para instrucciones, con un tiempo de acceso de 1 ns.
- Memoria caché
 - Número de niveles: único, L1.
 - Cachés separadas para instrucciones y datos.
 - Capacidad de cada una de las cachés: 32 KB.
 - Tamaño de los bloques: 32 bytes
 - Tiempo de acceso: 1 ns.
 - Política de ubicación: directa.
 - Política de lectura: *out of order fetch*
 - Política de escritura (caché de datos): aplazada (*CBWA*).
 - En los fallos en escritura se modifica primero la Mp y se actualiza luego el bloque en la caché.
- Memoria principal
 - Espacio físico direccionable: 4 GB.
 - Tiempo de acceso: 40 ns.
 - Organización: entrelazado simple de orden inferior de 16 módulos.

En un intervalo de tiempo dado, un proceso accede a las siguientes tres zonas o regiones de su espacio de direcciones (se muestra su dirección de comienzo, su tamaño y si su recorrido es hacia direcciones crecientes o decrecientes):

- Zona 0: H'000000000000; 65 KB; crecientes
- Zona 1: H'010000000000; 6 KB; crecientes
- Zona 2: H'3FFFFFFF; 2 KB; decrecientes

a) Para cada una de las tres zonas:

1. Identifique las páginas virtuales que ocupa cada zona.
2. Indique el número e identificación de las tablas de páginas de cada uno de los tres niveles necesarias para la traducción de cada zona.

b) Suponga que el S.O. ha asignado a la primera página virtual de la zona 1 el marco de página H'00FFF. Indique razonadamente:

1. El contenido relevante de las entradas (PTEs) de los tres niveles de tablas de página necesarios para la traducción de esa primera página de la zona 1. Para ello, elija arbitrariamente las direcciones de memoria que estime necesarias.
2. El contenido relevante de la entrada de la TLB que contuviese la traducción de esta página.
3. Los tiempos mínimo y máximo de traducción para las direcciones contenidas en esta página y las circunstancias en que éstos se darían.
4. La línea o líneas en que se podrá alojar en caché el bloque que contiene la dirección de comienzo de la zona.
5. Los tiempos mínimo y máximo de acceso para esta dirección de comienzo suponiendo que corresponde a una región de datos.

21 Describa en qué consiste el fenómeno de proximidad de referencias (*locality*). Indique qué es la proximidad espacial y temporal, y explique, razonadamente, por qué tienden a darse tanto para direcciones de código como de datos. ¿En qué medida cree que este fenómeno es necesario para el adecuado funcionamiento de la jerarquía de memoria?

22 Sea una memoria caché de dos niveles, L1 –con cachés separadas para datos e instrucciones– y L2. Calcule razonadamente la tasa de aciertos global de esta caché supuestos los siguientes valores estadísticos:

- Tasa de aciertos de la memoria caché L1 de instrucciones: 94 %.
- Tasa de aciertos de la memoria caché L1 de datos: 91 %.
- El 30 % de los accesos es a datos.
- Tasa de aciertos local de la caché L2 es 38 %.

23 Sea un procesador con un tamaño de palabra de 32 bits y cuyo sistema de memoria tiene las siguientes características:

- Memoria virtual
 - Espacio virtual direccionable: 8 TB.
 - Tamaño de las páginas: 8 KB.
 - Niveles de tablas de páginas: 3.
 - Tamaño de las entradas de las tablas de páginas: 8 bytes (2 palabras).
 - Una TLB para datos y otra para instrucciones, con un tiempo de consulta de 1 ns.
- Memoria caché
 - Número de niveles: único, L1.
 - Memorias caché separadas para instrucciones y datos.
 - Capacidad de cada una de las cachés: 64 KB.
 - Tamaño de los bloques: 64 bytes
 - Tiempo de acceso: 1 ns.
 - Política de ubicación: directa.
 - Política de lectura: *out of order fetch*
 - Política de escritura (caché de datos): aplazada (*CBWA*).
En los fallos en escritura se modifica primero la Mp y se actualiza luego el bloque en la cache.
- Memoria principal
 - Tiempo de acceso: 40 ns.
 - Organización: entrelazado simple de orden inferior de 16 módulos.

- a) Sea la dirección virtual H'7FFFFFFF00. Indique razonadamente los campos en que se descompone esta dirección virtual y sus longitudes. Indique también el número de tablas de página de cada nivel que es necesario para su traducción.
- b) Suponiendo que a la página que corresponde a la dirección anterior se le asigna el marco de página H'OFFF, describa los campos en que se divide la dirección física correspondiente tal y como es interpretada por las cachés. Indique además en qué línea o líneas se ubicaría en caché el bloque correspondiente a esta dirección.
- c) Calcule los tiempos de traducción mínimo y máximo suponiendo que no se produce ningún fallo de página.
- d) Calcule los tiempos mínimo y máximo de acceso al sistema de memoria, suponiendo de nuevo que no se produce ningún fallo de página. Indique razonadamente si se obtendrían diferentes valores para las lecturas y las escrituras.
- e) Calcule el tiempo medio de acceso al sistema de memoria suponiendo los siguientes valores obtenidos en la ejecución de un programa:
- Tasa de aciertos de la memoria caché de instrucciones: 95 %.
 - Tasa de aciertos de la memoria caché de datos: 93 %.
 - Tasa de aciertos de ambas TLBs: 97 %.
 - Todas las páginas referenciadas están residentes en memoria.
 - El 80 % de los accesos corresponde a instrucciones. En los accesos a datos, el 70 % es de lectura.
 - Probabilidad de reemplazar un bloque modificado: 30 %.

24 Describa las ventajas e inconvenientes de una memoria principal con entrelazado simple de orden inferior frente a una memoria principal sin entrelazado.

25 Explique la diferencia entre tiempo de acceso y tiempo de ocupación en los accesos a un sistema de memoria.

26 Se tiene un computador de 32 bits que dispone de cachés separadas para instrucciones y datos con las siguientes características:

- Capacidad de cada memoria caché: 8 KB y tamaño de los bloques: 16 bytes
- Organización asociativa por conjuntos de 2 bloques
- Política de reemplazo LRU (*Least Recently Used*)
- Política de lectura: OOF (*Out of Order Fetch*)
- Política de escritura de la caché de datos: diferida con actualización (*CBWA: Copy Back With Allocation*)

Se está ejecutando en este computador el siguiente fragmento de un programa:

```
for (i=0; i<1024; i++)      /* 1.024 iteraciones */
    c[i] = a[i] + b[i];
```

Cada elemento de los vectores **a** y **b** ocupa una palabra y están ubicados en las direcciones Df(**a**)=00001000H y Df(**b**) = 00008800H.

- a) Calcule en qué conjuntos de la caché de datos se ubicarán los dos primeros y los dos últimos bloques de los vectores **a** y **b**.
- b) Si cada elemento del vector **c** también ocupa una palabra y el índice del bucle **i** se aloja en un registro del procesador, en qué direcciones ubicaría el vector **c** para evitar conflictos en la caché de datos.
- c) Calcule la tasa de aciertos de la caché de datos para el fragmento mostrado sabiendo que inicialmente se encuentra vacía.
- d) Ubique el vector **c** a partir de la posición de memoria que considere más conveniente y calcule el porcentaje de bloques sustituidos que han sido modificados al ejecutar este código.
- e) Calcule el tiempo medio de acceso al sistema de memoria durante la ejecución de este código, si el tiempo de acceso a la caché es de 2 ns, el tiempo de acceso a memoria principal 40 ns y el tiempo necesario para leer o escribir un bloque de 4 palabras 60 ns.¹

¹Si no ha resuelto los apartados c) y d) considere una tasa de aciertos de 0,75 y una probabilidad de sustituir un bloque modificado de 0,25.

27 Explique los tipos de proximidad de referencias (*locality*) que existen en la ejecución de los programas.

28 Se está ejecutando en un computador con una memoria caché de datos de ubicación directa el siguiente fragmento de un programa:

```
for (i=0; i<2048; i++) /* el índice i se almacena en un registro */
    b[i] = a[i];
```

La memoria caché tiene 512 bloques de 16 bytes cada uno y los vectores **a** y **b** tienen 2048 elementos de 32 bits cada uno. Enumere los tipos de fallos de caché y explique cuáles se pueden producir, en el acceso a los datos, y bajo qué circunstancias suponiendo que la memoria caché está inicialmente invalidada.

29 Se tiene un computador de 32 bits con memoria virtual paginada y cachés separadas para instrucciones y datos. Las memorias cachés tienen las siguientes características:

- Capacidad de cada memoria caché: 32 KB.
- Tamaño de los bloques de caché: 32 bytes.
- Organización asociativa por conjuntos de 4 bloques.
- Política de reemplazo LRU (*Least Recently Used*).
- Política de lectura: OOF (*Out of Order Fetch*).
- Política de escritura de la caché de datos: diferida con actualización (*CBWA: Copy Back With Allocation*). En caso de fallo se escribe primero en memoria principal y posteriormente se lleva el bloque a la memoria caché.
- Tiempo de acceso 2 ns.

Las características de la memoria virtual son las siguientes:

- Tamaño de las páginas de 8 KB.
- TLBs separadas, asociativas con 16 entradas y tiempo de acceso de 1 ns.
- Tres niveles de tablas de páginas.
- Cada tabla de páginas ocupa 1 página.
- Cada entrada de las tablas de páginas tiene 1 palabra.

a) Indique el formato de las direcciones virtuales y el espacio virtual direccionable.

b) Indique si es posible acceder simultáneamente a las TLBs y a las cachés.

c) Calcule el tiempo máximo de acceso a este sistema de memoria teniendo en cuenta que el tiempo de acceso a memoria principal es 40 ns y el tiempo necesario para leer o escribir un bloque es 60 ns. (Suponga que no hay fallos de página.)

En este computador se ha ejecutado el siguiente fragmento de un programa:

```
for (i=0; i<50; i++)
    for (j=0; j<50; j++)
        for (k=0; k<50; k++)
            c[i][j] = c[i][j] + a[i][k]*b[k][j];
```

d) Calcule el número de páginas que ocupan las matrices así como el número de tablas de páginas que se necesitan para su traducción si cada elemento ocupa una palabra y están ubicadas a partir de las direcciones H'1000000, H'2000000 y H'3000000.

e) Calcule el número de bloques de caché que ocupan las matrices y el número de fallos en la caché de datos que produce el fragmento de código si la caché está inicialmente invalidada.

f) Calcule las tasas de aciertos en la caché y en la TLB de datos que produce el fragmento de código suponiendo que la TLB está también inicialmente invalidada.

g) Calcule el tiempo total de acceso y ocupación del sistema de memoria debido a los accesos a datos que produce el fragmento de código.

30 Sea un procesador con tamaño de palabra de 32 bits y cuyo sistema de memoria tiene las siguientes características:

- Memoria principal con entrelazado simple de orden inferior con 8 módulos y tiempo de acceso de 40 ns.
- Memorias caché de nivel 1 (L1) separadas para instrucciones y datos. Las características de la caché de datos (McaD) son las siguientes:
 - Capacidad 16KB, bloques de 32B y tiempo de acceso 2ns.
 - Ubicación asociativa por conjuntos de 4 bloques, y política de reemplazo LRU dentro del conjunto.
 - Política de lectura *out of order fetch*.
 - Política de escritura aplazada con actualización (CBWA). En los fallos de escritura, se escribe primero en Mp y posteriormente se lleva el bloque actualizado a la McaD.

a) Indique razonadamente cómo interpreta la McaD las direcciones físicas.

b) En este procesador se va a ejecutar un programa, del que se ha extraído un fragmento de código, para el que se plantean 2 versiones:

```

- Versión 1 -
for (i=0; i<1024; i++){
    C[i] = B[i] + A[i];
    G[i] = r + x*F[i];
}

- Versión 2 -
for (i=0; i<1024; i++)
    C[i] = B[i] + A[i];
for (i=0; i<1024; i++)
    G[i] = r + x*F[i];
    
```

Sabiendo que:

- Las variables i, r y x están asignadas a registros del procesador.
- Los vectores utilizados son de 1.024 elementos de 1 palabra.
- La dirección de Mp a partir de la que está almacenado el vector A es H'01000, y los vectores B, C, F y G están almacenados, en este orden, a continuación de A.
- La McaD está inicialmente invalidada.

b.1) Calcule el número de bloques que ocupan los vectores.

b.2) Especifique, de forma razonada, en qué conjuntos de la McaD se alojarán los diferentes vectores.

b.3) Para la versión 1 del código, rellene la siguiente tabla, para las dos primeras iteraciones del bucle.

Acceso a	A[0]	B[0]	C[0]	F[0]	G[0]	A[1]	B[1]	C[1]	F[1]	G[1]
Acierto/Fallo										
Lectura/Escritura										
Reemplazo de:										

b.3.1) Calcule la tasa de aciertos de la McaD obtenida en la ejecución completa de este bucle.

b.3.2) Calcule el tiempo medio de acceso empleado en los accesos a los vectores.

b.4) Calcule la tasa de aciertos de la McaD, así como el tiempo medio de acceso empleado en los accesos a los vectores en la versión 2.

b.5) Calcule con cuál de las versiones se obtendría un menor tiempo de ejecución, sabiendo que en la versión 2 se ejecutan 3 instrucciones más por iteración (debidas a la consulta y actualización de la variable de control del bucle), y cada una tarda 8 ns en ejecutarse.

c) Suponga ahora que el procesador tiene memoria virtual paginada, con las siguientes características:

- Espacio de direcciones lógico de 4TB
- Páginas de 4KB
- 3 niveles de tablas de páginas, cuyas entradas ocupan 1 palabra, y una TLB con tiempo de acceso de 1ns

c.1) Describa el formato de las direcciones virtuales, así como el tamaño de cada uno de sus campos.

c.2) Calcule el número de páginas que ocupan los vectores, así como las tablas de páginas necesarias para su traducción y las entradas de cada tabla utilizadas, suponiendo que el vector A comienza en la dirección virtual H'0100000000, y el resto de los vectores están almacenados a continuación.

c.3) Determine si es posible acceder a la vez a la TLB y la McaD. Considerando su respuesta y las características de la McaD descritas en los apartados anteriores, calcule el tiempo mínimo y máximo de acceso a la información para la versión 2 del código suponiendo que no se produce fallo de página. Indique en qué accesos se consigue el mínimo y en cuáles el máximo tiempo de acceso.

31 Sea un procesador con tamaño de palabra de 64 bits, direcciones físicas de 40 bits y direccionamiento a nivel de byte, cuyo sistema de memoria está compuesto por una memoria principal y un único nivel de memoria caché con dos cachés separadas, para instrucciones (McaI) y para datos (McaD), cuyas características son las siguientes:

- Capacidad 64KB, bloques de 64B y tiempo de acceso de 2 ns
- Ubicación asociativa por conjuntos de 4 bloques, política de lectura *out of order fetch* y política de reemplazo LRU
- Para la caché de datos, la política de escritura utilizada es aplazada con actualización (CBWA). En los fallos de escritura, *primero se lleva el bloque a la caché y después se realiza la escritura en caché*
- El tiempo empleado en transferir un bloque entre Mp y Mca es 65 ns, y el tiempo empleado para leer o escribir una palabra en Mp es 50 ns.

En este procesador se ejecuta un programa del que se ha extraído el siguiente fragmento, en el que las variables i y j están asignadas a registros y las matrices, todas de 64×32 elementos de 64 bits (una palabra), están almacenadas en Mp por filas. Observe que se accede a todos los elementos de A y C , pero solo a una parte de B .

```
for (i=0; i<64; i++)
  for (j=0; j<32; j++)
    C[i][j] = A[i][j]*B[j][0];
```

Sabiendo que la matriz A está almacenada en Mp a partir del bloque 512, y a continuación se encuentran C y B , en este orden.

a) Calcule el número de bloques que ocupan los elementos de las matrices a los que hace referencia el código anterior. Indique si la caché de datos tiene capacidad suficiente para albergarlos.

b) Especifique cómo interpreta la McaD las direcciones físicas: campos en que se descompone, el significado de cada uno y su longitud, y en qué conjuntos se alojarán los elementos de la matrices a los que hace referencia el código.

c) Calcule el número de aciertos y fallos que se producen en la McaD en el acceso a las tres matrices, así como la tasa de aciertos.

d) Indique razonadamente qué referencias del código anterior muestran proximidad espacial y cuáles proximidad temporal.

e) Considere que el procesador corresponde a un computador con memoria virtual paginada y las siguientes características:

- Páginas de 4KB y tres niveles de tablas de páginas, en las que cada entrada ocupa una palabra
- TLBs separadas para instrucciones y datos cuyo tiempo de acceso es 1 ns

e.1) Indique razonadamente cuántas entradas debería tener como mínimo la TLB de datos para que se produzcan únicamente fallos de primera referencia en la traducción de los datos del código del enunciado.

e.2) Calcule los tiempos mínimo y máximo de acceso al sistema de memoria de este computador, indicando claramente en qué condiciones se produce cada uno, suponiendo que no se produce fallo de página. Considere tanto accesos de lectura como de escritura.

f) En la ejecución del programa completo, que incluye el código anterior, se han obtenido los siguientes valores en las referencias a datos:

- El 70 % son de lectura
- Tasa de aciertos de la McaD: 93 %
- Tasa de aciertos de la TLBD: 95 %
- La probabilidad de reemplazar un bloque modificado es del 20 %

f.1) Calcule el tiempo medio de acceso a los datos, suponiendo que no se producen fallos de página.

f.2) Indique cómo cambiaría el tiempo calculado en el apartado anterior si la política de escritura utilizada fuese inmediata sin actualización (WTWNA) y calcule la ganancia que se obtendría utilizando esta política.

32 Se ejecuta en un computador con palabra de 32 bits el siguiente fragmento de un programa:

```

2000H bucle: ld   r1, r11, r20      ; r1 = a[i]           for (i=0; i<1024; i++)
2004H         mul  r2,  r1,  4      ; r2 = r1*4         b[i] = a[i]*4 + 7;
2008H         add  r3,  r2,  7      ; r3 = r2 + 7
200CH         st   r3, r12, r20    ; b[i] = r3
2010H         add  r20, r20, 4     ; próximo elemento
2014H         sub  r10, r10, 1     ; ¿fin bucle?
2018H         bnz  r10, $bucle:q!

```

Al comenzar el bucle el registro `r10` tiene el valor 1.024, el registro `r20` el valor 0 y los registros `r11` y `r12` contienen las direcciones de memoria principal donde comienzan los vectores `a` ($D(a) = 8000H$) y `b` ($D(b) = 4000H$). Cada elemento de los vectores `a` y `b` ocupa una palabra.

Este computador dispone de cachés separadas para instrucciones y datos de 8 KB de capacidad cada una con las siguientes características:

- Tiempo de acceso: 2 ns
- Tamaño de los bloques de cachés: 32 bytes
- Organización asociativa por conjuntos de 2 bloques
- Política de reemplazo LRU (*Least Recently Used*)
- Política de lectura: OOF (*Out of Order Fetch*)
- Política de escritura en la caché de datos: diferida con actualización (*CBWA: Copy Back With Allocation*). En los fallos de escritura, se escribe primero en Mp y posteriormente se lleva el bloque a Mca.

El tiempo de acceso a memoria principal para leer o escribir una palabra es de 40 ns y el tiempo necesario para leer o escribir un bloque de 8 palabras es de 60 ns.

a) Calcule en qué conjuntos de las cachés se ubicarán los bloques de los vectores `a` y `b` y los bloques correspondientes al código. Para ello calcule previamente cuántos bloques ocupan los vectores y el fragmento de código y cómo interpretan las memorias caché las direcciones físicas.

b) Calcule las tasas de aciertos de las cachés y el número de bloques modificados que se reemplazan al ejecutar el fragmento de código mostrado sabiendo que inicialmente se encuentran vacías.

c) Calcule el tiempo total de acceso al sistema de memoria durante la ejecución de este código.

Para realizar pruebas, se cambian las cachés separadas por una caché unificada de 16 KB con las mismas características de la caché de datos.

d) Calcule en qué conjuntos de la caché se ubicarán los bloques de los vectores `a` y `b` y los bloques correspondientes al código.

e) Calcule la tasa de acierto de la caché unificada y el número de bloques modificados que se reemplazan al ejecutar el fragmento de código mostrado sabiendo que inicialmente se encuentra vacía. Para ello, puede rellenar la tabla adjunta con la traza de las primeras referencias.

Acceso a:	2000	8000	2004	2008	200C	4000	2010	2014	2018	2000	
Acierto/Fallo											
Reemplazo de:											

Acceso a:											
Acierto/Fallo											
Reemplazo de:											

f) Calcule el tiempo total de acceso al sistema de memoria, durante la ejecución de este código, con la nueva configuración.

33 Considere ahora que al mismo computador del ejercicio 32 se le quiere dotar de 4 TB de memoria virtual paginada con tres niveles de tablas de páginas y TLBs separadas para instrucciones y datos.

a) Indique cómo se interpretan las direcciones virtuales si las entradas de las tablas de páginas ocupan una palabra y cada una de las tablas de páginas ocupa una página. Para esto deberá deducir cuál es el tamaño de la página.

b) Justifique si es posible solapar el acceso a las cachés separadas de 8 KB con la traducción de direcciones en las TLBs.

c) Indique bajo qué condiciones se producen los tiempos mínimo y máximo de acceso a este sistema de memoria suponiendo que no se producen fallos de página. Calcule dichos tiempos teniendo en cuenta que el tiempo de acceso a las TLBs es de 1 ns.

d) Indique cuántas tablas de páginas se necesitan y qué entradas se utilizan para traducir las direcciones correspondientes al vector \mathbf{b} si se ubica en la página virtual $P_v = 3FFFFFFH$.

34 En un sistema con memoria virtual paginada que utiliza 3 niveles de tablas de páginas y dotado de una TLB para instrucciones y otra para datos,

a) indique y justifique cuántos accesos a memoria principal se deben realizar para resolver cada petición de memoria lanzada desde el procesador.

b) calcule el número medio de accesos a memoria principal si se ha estimado en un 95% la tasa de aciertos de la TLBd, en el 99% el de la TLBi y se sabe que el 80% de los accesos correspondieron a instrucciones.

35 Se tiene un computador de 32 bits con direcciones físicas de 36 bits que dispone de cachés separadas para instrucciones y datos con las siguientes características:

- Capacidad de cada memoria caché: 16 Kbytes
- Tamaño de los bloques de caché: 16 bytes
- Organización directa
- Política de lectura: OOF (*Out of Order Fetch*)
- Política de escritura de la caché de datos: diferida con actualización (*CBWA: Copy Back With Allocation*)
- En los fallos en escritura se modifica primero la palabra en memoria principal y posteriormente se actualiza el bloque en la caché.
- Tiempo de acceso: 3 ns.

El tiempo de acceso a memoria principal para leer o escribir una palabra es 50 ns y el tiempo necesario para leer o escribir un bloque de 4 palabras 80 ns.

Se está ejecutando en este computador el siguiente fragmento de un programa que sustituye la primera mitad de un vector por una copia de su contenido en la segunda mitad:

```
DESP = 4096;
for (i=0; i<DESP; i++)      /* 4.096 iteraciones */
    v[i] = v[i+DESP];
```

El vector \mathbf{v} está ubicado a partir de la dirección $D_f(\mathbf{v}) = 0x4000$ y cada uno de sus elementos ocupa una palabra. Las memorias caché están inicialmente invalidadas.

a) Calcule el espacio requerido en la memoria caché de datos para contener a) el directorio (considerando toda la información, incluyendo en caso necesario los bits de validez y de modificación -*dirty bit*-) y b) la información de caché.

b) Calcule en qué bloques de la caché de datos se ubicarán los bloques del vector \mathbf{v} , así como el número total de accesos y la tasa de aciertos de la caché de datos para la ejecución de este fragmento de programa. Calcule también el número de bloques modificados que se habrán desalojado.

c) Dado el valor obtenido para la tasa de aciertos, se reescribe del siguiente modo el fragmento del programa:

```

DESP = 4096;
for (i=0; i<DESP; i+=4) {    /* 1.024 iteraciones */
    a = v[i+DESP+0];
    b = v[i+DESP+1];
    c = v[i+DESP+2];
    d = v[i+DESP+3];
    v[i+0] = a;
    v[i+1] = b;
    v[i+2] = c;
    v[i+3] = d;
}

```

Sabiendo que las variables *a*, *b*, *c* y *d* se almacenan en registros, calcule la tasa de aciertos de la caché de datos para la ejecución de este nuevo fragmento de programa y el número de bloques modificados que son desalojados.

d) Calcule el tiempo total de acceso a memoria para datos en la ejecución de ambos fragmentos de programa, el original y el modificado, así como la ganancia o *speedup* obtenida con esta segunda versión.

36 Sea un procesador con direccionamiento a nivel de byte y tamaño de palabra y direcciones de 32 bits, cuyo sistema de memoria está compuesto por una memoria principal y un único nivel de memoria caché con dos cachés separadas, para instrucciones (McaI) y para datos (McaD), con las siguientes características:

- Capacidad 16KB, bloques de 32B y tiempo de acceso de 1 ns
- Ubicación asociativa por conjuntos de 2 bloques, política de lectura *out of order fetch* y política de reemplazo LRU
- Para la caché de datos, la política de escritura utilizada es aplazada con actualización (CBWA). En los fallos de escritura, *primero se escribe en Mp y a continuación se lleva el bloque a la caché*
- El tiempo empleado en transferir un bloque entre Mp y Mca es 54 ns, y el tiempo empleado para leer o escribir una palabra en Mp es 40 ns.

En este procesador se ejecuta un programa, del que se ha extraído para su análisis el siguiente fragmento, en el que las variables *i*, *j*, *b*, *dim1* y *dim2* están asignadas a registros. Cada elemento de los vectores y de la matriz ocupa una palabra y la matriz está almacenada en memoria por filas.

```

dim1 = 8, dim2 = 8*128;

for (i=0; i<dim2; i=i+1)    /* Primer bucle principal */
    y[i] = b * x[i];

for (i=0; i<dim1; i=i+2)    /* Segundo bucle principal */
    for (j=0; j<dim2; j=j+1)
        a[i][j] = a[i][j] * y[j];

```

a) Indique cómo interpretan las memorias caché las direcciones físicas: significado de cada campo y su longitud. Calcule cuántos bloques ocupan los vectores y los elementos de la matriz a los que se accede en el código anterior (*nótese que únicamente se accede a las filas 0, 2, 4 y 6 de la matriz*). Justifique asimismo si la caché de datos tiene capacidad suficiente para albergarlos a todos.

b) Determine en qué conjuntos de la caché de datos se ubicarán los vectores y las filas de la matriz a las que se accede, sabiendo que sus direcciones de comienzo en Mp son las siguientes:

x: 0x2000 y: 0x4000 a: 0x7000

c) Calcule la tasa de aciertos de la caché de datos suponiendo que inicialmente está invalidada. Para ello se recomienda estudiar por separado los dos bucles principales. Indique además si es necesario reemplazar alguna información de la caché de datos y, en caso afirmativo, qué información y si los bloques correspondientes están o no modificados.

d) Considerando ahora la ejecución del programa completo, que incluye el código anterior. Calcule el tiempo medio de acceso sabiendo que se han obtenido los siguientes valores:

- El 20 % de los accesos corresponden a datos, y de éstos el 70 % son de lectura.
- Tasa de aciertos de la caché de instrucciones: 98 %
- Tasa de aciertos de la caché de datos: 95 %
- Probabilidad de reemplazar un bloque modificado: 15 %

37 Considere que el procesador del ejercicio anterior corresponde a un computador con memoria virtual paginada y las siguientes características:

- Páginas de 4KB y tres niveles de tablas de páginas, en las que cada tabla ocupa una página y cada entrada una palabra
- TLBs separadas para instrucciones y datos con tiempo de acceso de 1 ns

a) Determine el formato de las direcciones virtuales: campos que las forman y su longitud, así como el tamaño del espacio de direcciones virtuales de este procesador.

b) Indique ordenadamente las acciones que se llevan a cabo desde que este procesador realiza un acceso de lectura de un dato hasta que dispone de él, suponiendo que no se produce fallo de página. Tenga en cuenta todas las posibilidades de acierto y fallo, tanto en TLB como en caché. Indique además en qué casos se obtendrían el mínimo y el máximo tiempo de lectura y calcule dichos tiempos.

c) Sabiendo que los vectores a los que se accede en el código del ejercicio anterior comienzan en las direcciones virtuales siguientes:

$$Dv(x) = 0x02000004000 \quad Dv(y) = 0x02000006000$$

Indique cuántas tablas de páginas y qué entradas de dichas tablas se utilizan para traducir esta información

38 Sea un procesador con tamaño de palabra de 64 bits, direcciones físicas de 40 bits y direccionamiento a nivel de byte, cuyo sistema de memoria tiene las siguientes características:

- Memorias caché separadas para instrucciones y datos de 32 KB cada una, bloques de 32 bytes y tiempo de acceso de 2 ns. Las políticas utilizadas son las siguientes:
 - Ubicación asociativa por conjuntos de 2 bloques y política de lectura *out of order fetch*.
 - Política de escritura de la caché de datos diferida con actualización (CBWA). En los fallos de escritura, *primero se lleva el bloque a la caché y después se realiza el acceso de escritura en ésta*.
- Memoria principal, cuyo tiempo de acceso para leer o escribir una palabra es 40 ns, y el tiempo necesario para transferir un bloque entre Mp y caché es 60 ns.

En este procesador se ejecuta el siguiente fragmento de código, cuya función consiste en separar los elementos que ocupan las posiciones pares de un vector `vect` de los elementos que ocupan las posiciones impares de ese mismo vector, dejando el resultado en un par de vectores de salida: `vpar` y `vimpar`

```
(1)      add r9, r0, 1024      ; k = 0
(2)      add r5, r0, r0       ; for (i=0; i<1024; i=i+2){
(3)      add r10, r0, vect    ;     vpar[k] = vect[i];
(4)      add r11, r0, vpar    ;     vimpar[k] =vect[i+1];
(5)      add r12, r0, vimpar  ;     k=k+1;
(6) buc: ld r8, 0(r10)       ; }
(7)      st r8, 0(r11)
(8)      ld r8, 8(r10)
(9)      st r8, 0(r12)
(10)     add r10, r10, 16
(11)     add r11, r11, 8
(12)     add r12, r12, 8
(13)     add r5, r5, 2
(14)     cmp r7, r5, r9
(15)     blt r7, buc
```

Cada instrucción y cada elemento de los vectores ocupan una palabra. El código está almacenado en Mp a partir de la dirección `H'0000001000`, el vector `vect` a partir de la dirección `H'0000002000` y los vectores `vpar` y `vimpar`, en este orden, a continuación de `vect`.

- a) Indique razonadamente cómo interpretan las memorias caché las direcciones físicas, significado de cada campo y su longitud, y calcule cuántos bloques ocupan en Mp tanto el código como los vectores a los que se accede.
- b) Calcule en qué conjuntos de las cachés se ubicarán los vectores y el código.
- c) Calcule las tasas de aciertos de cada una de las cachés, suponiendo que ambas están inicialmente invalidadas.
- d) Calcule los tiempos medios de acceso, tanto a instrucciones como a datos. En el caso de los accesos a datos indique claramente los tiempos debidos a las lecturas y a las escrituras. Explique brevemente a qué se debe la diferencia entre los tiempos obtenidos para instrucciones y datos.

39 Considere ahora que el procesador anterior dispone de los mecanismos necesarios para implementar memoria virtual paginada con las siguientes características:

- Páginas de 16KB
- TLBs separadas para instrucciones y datos, con tiempo de acceso de 1 ns
- Tres niveles de tablas de páginas.

- a) Indique razonadamente bajo qué condiciones se producen los tiempos mínimo y máximo de acceso a este sistema de memoria suponiendo que no se producen fallos de página, y calcule dichos tiempos.
- b) Calcule cuántas entradas deberían tener como mínimo las TLBs para que se produzcan únicamente fallos de primera referencia en la traducción del código y de los vectores.
- c) Como es sabido, en este procesador se pueden dar tres tipos de fallos en el acceso a la información: fallo de TLB, fallo de caché y fallo de página. A continuación se muestran algunas de las posibles combinaciones de estos tres eventos. Indique razonadamente cuáles se pueden producir, cuáles no y bajo qué circunstancias:
- c.1) Acierto en TLB, acierto en caché y fallo de página
- c.2) Acierto en TLB, fallo en caché y fallo de página
- c.3) Fallo en TLB, acierto en caché y no fallo de página
- c.4) Acierto en TLB, acierto en caché y no fallo de página

40 Considere un computador, con palabra de 32 bits y memoria virtual paginada. Las direcciones virtuales son de 35 bits y las direcciones físicas de 32 bits. Para realizar la traducción se utilizan 2 niveles de tablas de páginas y una TLB asociativa de 8 entradas, cuyo tiempo de acceso es de 1 ns. Las páginas son de 8 KB, y todas las tablas de páginas tienen el mismo tamaño, ocupando cada una de sus entradas una palabra.

En este computador se ejecuta un programa, del que se ha extraído para su análisis el siguiente fragmento de código, donde cada elemento de los vectores ocupa una palabra:

```
dim = 4*1024;           // Número de elementos
for (i=0; i<dim; i=i+1){ // Primer bucle
    A[i] = s+A[i];      // dim, s y r están en registros
    r = r+B[i];
}
for (i=0; i<dim; i=i+1) // Segundo bucle, m también está en un registro
    m = m+C[i]*A[i];   // Primero se accede a C y a continuación a A */
```

- a) Determine justificadamente el formato de las direcciones virtuales. Sabiendo que la dirección de comienzo de A es 0x008008000, y que B y C están a continuación y en este orden, justifique si las direcciones de comienzo de los tres están alineadas a página y calcule el número de páginas que ocupan los tres vectores.
- b) Teniendo en cuenta el contenido de la TLB que se muestra en la figura, determine justificadamente si la información de traducción del código y los datos se encuentra en la TLB y, en caso afirmativo, en qué marcos de página están ubicados. Para ello, tenga en cuenta que el código comienza en la dirección virtual 0x008004000 y ocupa una sola página.
- c) De acuerdo con la respuesta al apartado anterior, y sabiendo que el tiempo de acceso de la memoria principal es 50 ns y que no hay fallos de página, indique justificadamente el tiempo empleado en las siguientes referencias realizadas por la CPU, distinguiendo en cada caso entre el tiempo empleado para hacer la traducción y el requerido para acceder a la información (para este apartado suponga que no se usa memoria caché):
- c.1) Acceso a la primera instrucción. c.2) Acceso a los dos primeros elementos de cada vector.

Entrada	V	Etiqueta	MP
0	1	004005	00021
1	1	004006	00008
2	0	040000	00100
3	1	004004	00020
4	1	080080	00022
5	0	008004	00004
6	1	004002	00120
7	1	007FFF	00010

41 Considere ahora que el computador del problema anterior dispone, además, de memorias caché separadas para instrucciones y datos, con las siguientes características:

- Capacidad 32KB, líneas de 16B y tiempo de acceso de 2 ns
- Asociativa por conjuntos de 2 líneas, política de lectura *out of order fetch* y política de reemplazo LRU
- La política de escritura de la caché de datos es aplazada con actualización (CBWA). En los fallos de escritura *primero se lleva el bloque a la caché y a continuación se escribe en ella*.
- El tiempo empleado en transferir un bloque entre Mp y Mca es 60 ns.

a) Indique cómo interpretan las memorias caché las direcciones físicas: significado de cada campo y su longitud. Calcule cuántos bloques ocupan los vectores a los que se accede en el código del problema anterior.

b) Calcule los tiempos mínimo y máximo de acceso al sistema de memoria de este computador, indicando claramente en qué condiciones se produce cada uno, suponiendo que no se produce fallo de página. Tenga en cuenta para ello si se puede o no solapar el acceso a la TLB y a la caché y considere tanto accesos de lectura como de escritura.

c) Determine en qué conjuntos de la caché de datos se ubicarán los vectores, residentes ahora en memoria principal a partir de las siguientes direcciones:

A: 0x00008000 B: 0x00010000 C: 0x00020000

d) Calcule la tasa de aciertos de la caché de datos suponiendo que inicialmente está invalidada. Para ello **se recomienda** estudiar por separado los dos bucles. Indique además si es necesario reemplazar alguna información de la caché de datos y, en caso afirmativo, cuál, y si los bloques correspondientes están o no modificados.

e) Proponga alguna modificación al código para mejorar la tasa de aciertos de la caché de datos y calcule la nueva tasa de aciertos.