

1. Puertos del MC68681

Dirección	Registro en lectura	Registro en escritura	Línea
EFFC01	de modo A (MR1A, MR2A)	de modo A (MR1A, MR2A)	A
EFFC03	de estado A (SRA)	de selección de reloj A (CSRA)	A
EFFC05	Sin acceso	de control A (CRA)	A
EFFC07	buffer de recepción A (RBA)	buffer de transmisión A (TBA)	A
EFFC09	Sin implementar	de control auxiliar (ACR)	Ambas
EFFC0B	de estado de interrupción (ISR)	de máscara de interrupción (IMR)	Ambas
EFFC0D	Sin implementar	Sin implementar	Ambas
EFFC0F	Sin implementar	Sin implementar	Ambas
EFFC11	de modo B (MR1B, MR2B)	de modo B (MR1B, MR2B)	B
EFFC13	de estado B (SRB)	de selección de reloj B (CSRB)	B
EFFC15	Sin acceso	de control B (CRB)	B
EFFC17	buffer de recepción B (RBB)	buffer de transmisión B (TBB)	B
EFFC19	del vector de interrupción (IVR)	del vector de interrupción (IVR)	Ambas
EFFC1B	Sin implementar	Sin implementar	Ambas
EFFC1D	Sin implementar	Sin implementar	Ambas
EFFC1F	Sin implementar	Sin implementar	Ambas

2. Descripción de los puertos del MC68681

2.1. MR1A y MR1B

N/A	Selección RxIRQ	N/A	N/A	N/A	Bits por carácter
7	6	5	4 3	2	1 0
	0 = RxRDY 1 = FFULL				00 = 5 01 = 6 10 = 7 11 = 8

2.2. MR2A y MR2B

Modo de la línea	N/A	N/A	N/A
7 6	5	4	3 2 1 0
00 = Normal 01 = Eco 10 = N/A 11 = N/A			

2.3. SRA y SRB

N/A	TxE _{MT}	TXRDY	FFULL	RxRDY
7-4	3	2	1	0
	0=No 1=Yes	0=No 1=Yes	0=No 1=Yes	0=No 1=Yes

2.4. CRA y CRB

N/A	Misceláneos	Trans.	Rec.
7	6 5 4	3 2	1 0
	000=Nada 001=Reinic. MR1 010=Reinic. recepción 011=Reinic. transmisión 100=Reinic. error	00=Nada 01=Hab. 10=Inh. 11=N/A	00=Nada 01=Hab. 10=Inh. 11=N/A

2.5. ISR

N/A	RxRDYB	TxRDYB	N/A	RxRDYA	TxRDYA
7 6	5	4	3 2	1	0
	0=No 1=Yes	0=No 1=Yes		0=No 1=Yes	0=No 1=Yes

2.6. IMR

N/A	RxRDYB	TxRDYB	N/A	RxRDYA	TxRDYA
7 6	5	4	3 2	1	0
	0=Inh. 1=Hab.	0=Inh. 1=Hab.		0=Inh. 1=Hab.	0=Inh. 1=Hab.

3. Especificación de las subrutinas

3.1. LEECAR(Buffer)

El parámetro **Buffer** es un entero que se pasa en D0. El bit 0 contiene la línea a la que se desea acceder: 0 a la línea A y 1 a la línea B. El bit 1 contiene el tipo de buffer: 0 indica recepción y 1 transmisión. El resto de bits no son tenidos en cuenta. Devuelve en D0 el carácter obtenido y -1 si el buffer está vacío.

3.2. ESCCAR(Buffer,Car)

El parámetro **Buffer** es un entero que se pasa en D0. El bit 0 contiene la línea a la que se desea acceder: 0 a la línea A y 1 a la línea B. El bit 1 contiene el tipo de buffer: 0 indica recepción y 1 transmisión. El resto de bits no son tenidos en cuenta. El parámetro **Car** contiene el carácter que se desea añadir al buffer. Devuelve en D0 el valor 0 si el carácter se ha añadido correctamente y -1 si el buffer está lleno.

3.3. SCAN(Buffer,Desc,Tam)

Buffer es la dirección a partir de la cual se copiarán los caracteres. **Desc** es un entero que indica el dispositivo del que se van a leer caracteres: 0 indica la línea A y 1 la línea B. **Tam** es un entero que indica el número máximo de caracteres que se van a leer de la línea y que se copian a partir de la dirección **Buffer**. En D0 devuelve el número de caracteres que se han copiado a partir de **Buffer** o -1 si hay algún error en los parámetros.

3.4. PRINT(Buffer,Desc,Tam)

Buffer es la dirección a partir de la cual están contenidos los caracteres que se desea escribir en el dispositivo. **Desc** es un entero que indica el dispositivo en el que se van a escribir los caracteres: 0 indica la línea A y 1 la línea B. **Tam** es un entero que indica el número máximo de caracteres que se van a escribir en la línea y que están contenidos a partir de la dirección **Buffer**. En D0 devuelve el número de caracteres que se han escrito en el dispositivo o -1 si hay algún error en los parámetros.

4. Entradas significativas de la tabla de vectores de excepción

Todos los valores de las direcciones están expresados en decimal.

- Dirección 0: Excepción de Reset: la dirección contiene el valor del SSP inicial y la 4 el valor del PC inicial.
- Dirección 8: Excepción de Error de Bus.
- Dirección 12: Excepción de Error de Dirección.
- Dirección 16: Excepción de Instrucción Ilegal.
- Dirección 32: Excepción de Viol. Privilegio.

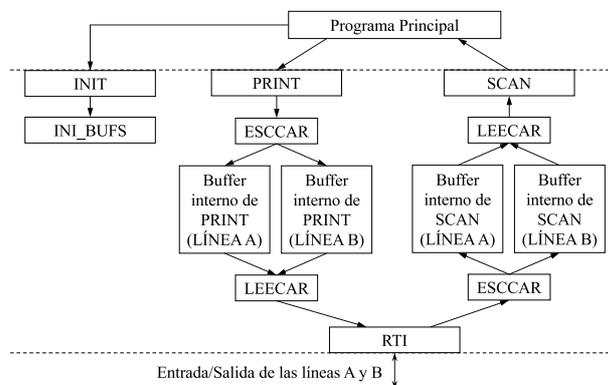


Figura 1: Estructura del proyecto.